

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-180678

(43)Date of publication of application : 26.06.1992

(51)Int.CI.

H01L 29/74

(21)Application number : 02-280124

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 18.10.1990

(72)Inventor : TAKAHASHI YOSHIKAZU

(30)Priority

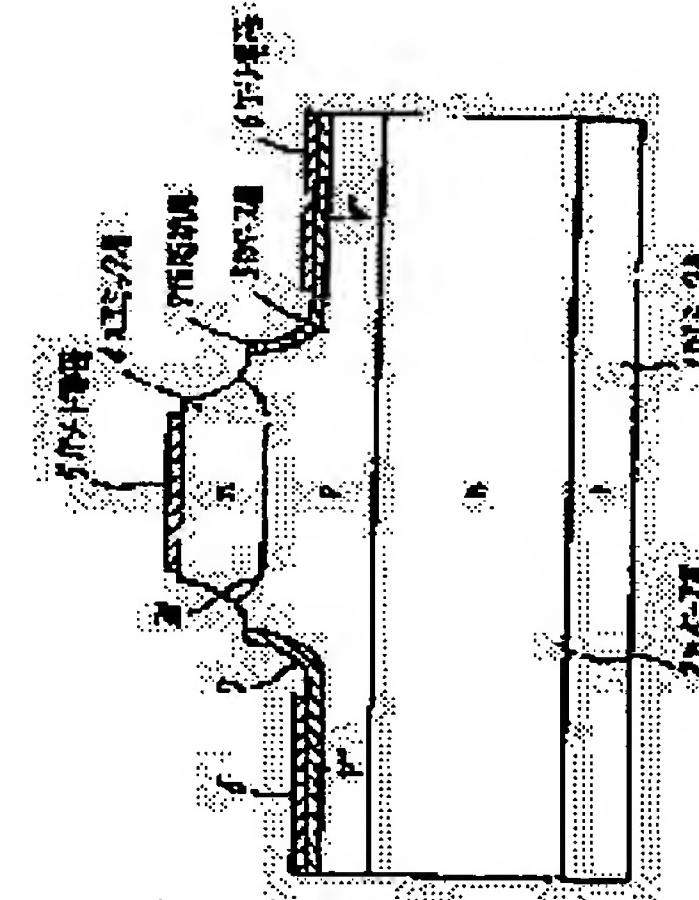
Priority number : 02 34481 Priority date : 15.02.1990 Priority country : JP

(54) GATE TURN-OFF THYRISTOR

(57)Abstract:

PURPOSE: To reduce an irregularity in a gate impedance even when the depth of a gate etching operation is irregular and to enhance a maximum turn-off current by a method wherein a low-resistance layer whose conductivity is the same as that of a base layer is formed on the surface of the base layer.

CONSTITUTION: Impurities are diffused to an n-type silicon substrate; a p-emitter layer 1, an n-base layer 2 and a p-base layer 3 are formed; after that, an n-emitter region 4 is dispersed and formed. Then, an oxide film is applied to the region 4; it is patterned; after that, a first gate etching operation is executed; after that, the oxide film is patterned and a second gate etching operation is executed. In succession, impurities are diffused; and a p++ layer 7 is formed. That is to say, the p-n junction face 34 between the layer 3 and the layer 4 is formed as a concave face; the side face of a cathode segment is formed in two steps; and the high-impurity-concentration low-resistance layer 7 is formed on the surface of the layer 3 from the peripheral edge of its upper-step face up to the flat face to which a gate electrode 6 has been applied. Thereby, it is possible to eliminate an irregularity in a gate impedance and to enhance a maximum turn-off current.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨日本国特許庁(JP) ⑩特許出願公開
⑪公開特許公報(A) 平4-180678

⑤Int.Cl.⁵
H 01 L 29/74

識別記号 C
F

庁内整理番号 7013-4M
7013-4M

⑬公開 平成4年(1992)6月26日

審査請求 未請求 請求項の数 1 (全5頁)

④発明の名称 ゲートターンオフサイリスタ
②特 願 平2-280124
③出 願 平2(1990)10月18日
優先権主張 ④平2(1990)2月15日⑤日本(JP)⑥特願 平2-34481
⑦発 明 者 高 橋 良 和 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
⑧出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
⑨代 理 人 弁理士 山 口 延

明細書

1. 発明の名称 ゲートターンオフサイリスタ

2. 特許請求の範囲

1) p n p n 4層構造を有し、一方の主電極が隣接ベース層の突出した部分の上に形成されるエミッタ層表面に接触し、ゲート電極が前記突出したベース層以外のベース層表面に接触するものにおいて、そのエミッタ層とベース層の接合面は他の接合面に平行な中央部とエミッタ層側に曲げられる曲面状の周縁部とからなり、この接合面と突出部分の側面の交差する接合表面と間隔を有すると共に前記接合面の中央部よりもエミッタ側の側面位置からゲート電極の接触する位置にかけて、ベース層表面にその層と同一導電形の低抵抗層が形成されたことを特徴とするゲートターンオフサイリスタ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、p n p n の4層構造をもち、一方の主電極が隣接ベース層より短冊状の上面形状に突

出した部分の上に接して形成されたエミッタ層に設けられ、ゲート電極が隣接ベース層に設けられるゲートターンオフ(以下GTOと記す)サイリスタに関する。

(従来の技術)

GTOサイリスタとは、ゲートでオン、オフ出来る電力用の半導体素子であり、特性面では、特に、最大ターンオフ電流が大きいか否かがその素子の良し悪しに直接反映される。それゆえ、従来より最大ターンオフ電流を向上させるためにさまざまな方法が試みられて来た。そのうちの最も有効な手段が、ゲートインピーダンスを減少させることと、そのゲートインピーダンスのばらつきを小さくすることである。

このため、一般に各種のGTOサイリスタでは、ゲートの設けられるpベース層のシート抵抗を出来るだけ小さくしたり、ゲート部のエッチングダウンを適正に制御してエッチング深さのばらつきを小さくすることが試みられて来た。

第2図は、セグメント構造を有する従来の代表

的なGTOサイリスタを示し、pエミッタ層1、nベース層2、nベース層3およびnエミッタ層4からなる4層構造を有する。そしてnエミッタ層4の側からpベース層3に達するゲートエッチングを行って、短冊状のnエミッタ層領域からなるカソードセグメントが形成されている。そのカソードセグメントの頂面にカソード電極5が、露出したpベース層3にゲート電極6が被覆している。

GTOサイリスタのゲートインピーダンス Z_g は、第2図中に示されている Z_1 と Z_2 の和である。すなわち、

$$Z_g = Z_1 + Z_2 \quad (1)$$

で表される。 Z_1 はpベース層3のカソード電極5の中央の直下からカソードセグメントの側面までのインピーダンスであり、 Z_2 はpベース層3とnエミッタ層4の間のpn接合の下からゲート電極6の縁の下までのインピーダンスである。

[発明が解決しようとする課題]

(1) 式において、 Z_1 はカソードセグメントの

GTOサイリスタにとって、このわずか5μm程度のばらつきのゲートインピーダンスにおよぼす影響は大きく、ばらつきの割合で10%以上にもなることが実験的にわかっている。この40%のゲートインピーダンスのばらつきがGTOサイリスタの最大ターンオフ電流を向上させるための障害になるので、ゲートインピーダンスのばらつきを少しでも押さえることが最も重要な問題である。

本発明の目的は、上述の問題を解決し、ゲートエッチング深さがばらついてもゲートインピーダンスのばらつきが少なく、最大ターンオフ電流の向上したGTOサイリスタを提供することにある。

[課題を解決するための手段]

上記の目的を達成するために、本発明は、n-p-n-p4層構造を有し、一方の主電極の設けられるエミッタ層がゲート電極の設けられるベース層の一部に隣接するものにおいて、そのエミッタ層とベース層の界面は周縁が高い凹面をしており、その凹面の低い中央部を含み両ベース層界面に平行な平面より高く、前記エミッタ層とベース層の

幅と、pベース層3とnエミッタ層4の間のpn接合直下の不純物濃度で決定される量であり、カソードセグメントの寸法が一定であれば一定と考えてよい。従って、ゲートインピーダンスの大小、もしくはばらつきを左右するものは Z_2 であり、この Z_2 の値はゲートエッチングで形成されるゲート溝深さdおよびゲート電極6の寸法精度に大きく依存する。それ故、 Z_2 を小さくするには、ゲートエッチング深さdは出来るだけ浅い方がよいが、25μm以下になると、今度は、一般に加圧接触構造が採用される大電流用のGTOサイリスタでゲート電極6とカソード電極5の間に短絡が発生する危険性が出て来ることになり、通常に、30μm~35μm程度の溝深さが望ましいと言われている。

しかしながら、このような30~35μmのゲートエッチングを、たとえばSi板直径75mm以上の大電流を扱うGTOサイリスタに適用すると、直徑方向で最低で5μm程度のエッチング深さdのばらつきが発生することはやむをえないことであった。

界面と間隔を有する位置からゲート電極の接触する位置にかけて、ベース層表面にその層と同一導電形の低抵抗層が形成されたものとする。

[作用]

ベース層のゲート電極の接する位置からエミッタ層との界面の近くまで表面にベース層と同一導電形の低抵抗層が形成されることにより、ゲートインピーダンス Z_g のうちの Z_2 はゲート溝深さに無関係となり、ゲート溝深さがばらついても、ゲートインピーダンスのばらつきがなくなる。また、低抵抗層とエミッタ層・ベース層間pn接合との間に残るベース層は、ベース層の不純物濃度の最も高い部分であるため、 Z_2 自体の絶対値も小さくなる。低抵抗層に隣接してそのような不純物濃度の高い部分を残すため、エミッタ層・ベース層間pn接合面は凹面として形成されるが、サイリスタの特性はベース層の最も深い厚さを決める凹面の低い中央部に支配されるので、サイリスタ特性が影響を受けることはない。

[実施例]

第1図は本発明の一実施例のGTOサイリスタの一つのセグメントの断面図で、第2図と共通の部分には同一の符号が付されている。第2図の場合と異なる点は、第一にカソードセグメントのロベース層3とnエミッタ層4の間のpn接合面34が凹面として形成されていること、第二にカソードセグメントの側面が2段となっていること、第三にその上段面の周縁からゲート電極6の被覆している平坦面にかけて高不純物濃度のp++低抵抗層7が形成されていることである。

このようなGTOサイリスタは、第3図(a)～(e)に示すような工程で作られる。まず、n形シリコン基板に不純物を拡散してpエミッタ層1、nベース層2、pベース層3を形成する(図a)。pエミッタ層1、pベース層3の表面不純物濃度は $3 \times 10^{19} / \text{cm}^2$ である。次に選択拡散技術を用いnエミッタ領域4を分散して形成する(図b)。このようにして設けられたnエミッタ領域4を段差のあるカソードセグメントにするため、酸化膜を被覆し、フォトリソグラフィで酸化膜マスクのバ

連している。従ってゲートインピーダンスのうちの前述の2.の絶対値が小さくなる。

第5図は、第1、第3図に示したような2段にゲートエッチングをしないでゲートエッチングを1回のみ行う実施例のGTOサイリスタである。この実施例では、nエミッタ層4はpベース層3の平坦面から突出して形成されている。従って、p++低抵抗層7の端はpベース層4の平坦面で終わっている。この場合は、p++層7の拡散深さ t_1 が浅いと、pベース層3のそれより深い部分がゲートインピーダンスに影響するため、ゲートインピーダンスがエッチング深さに強く依存していく。それ故、ゲート溝底面からpn接合面34までの深さ t_1 より t_1 を大きくすることが望ましい。

以上の実施例は、pベース層にゲート電極が設けられるGTOサイリスタについて述べたが、nベース層にゲート電極を設け、アノードセグメントを形成するGTOサイリスタにおいても実施することができる。

[発明の効果]

ターンを形成後、20μm程度の深さの第一回目のゲートエッチングを行う(図c)。さらに、再度、酸化膜被覆とバターニングで第一回目のマスクに比して片側で10μm以上大きいマスクを形成し、第二回目のゲートエッチングを第一回目のエッチング深さと合わせて35～40μm程度の深さになるまで行う(図d)。このあと、第二回目のゲートエッチングの際の酸化膜マスクを用いて不純物拡散を行い、表面不純物濃度 $10^{19} \sim 20 / \text{cm}^2$ のp++層7を設ける(図e)。この工程は、いわゆるセルフアライメント工程になっている。この場合、第一回目のゲートエッチングでpベース層3に10μm以上の幅の肩部が生じているので、約5μmの深さのp++層7がpn接合面34に達することはない。

第4図は、このようにして作られたGTOサイリスタの不純物濃度プロファイルを断面構造に対応して示す。この図からわかるように、p++層7はpベース層3とnエミッタ層4とのpn接合面よりも点線で示すような不純物濃度の高い部分に

本発明によれば、ゲート電極の設けられるベース層の隣接エミッタ層の周縁部に高不純物濃度の部分を残し、ゲート電極の接する部分からその部分に達する低抵抗層をベース層表面に形成することにより、ゲートエッチング深さのはらつきがあったとしてもゲートインピーダンスのはらつきがその構造上から全くなくなるので、多数のGTOセグメントを並列に動作させるGTOサイリスタにとってターンオフ時の電流集中が少なくなる。そして、ゲートインピーダンスの絶対値も小さくなるので、最大ターンオフ電流は飛躍的に向上する。この結果、最大ターンオフ電流で従来構造素子の約1.5倍が得られるようになった。

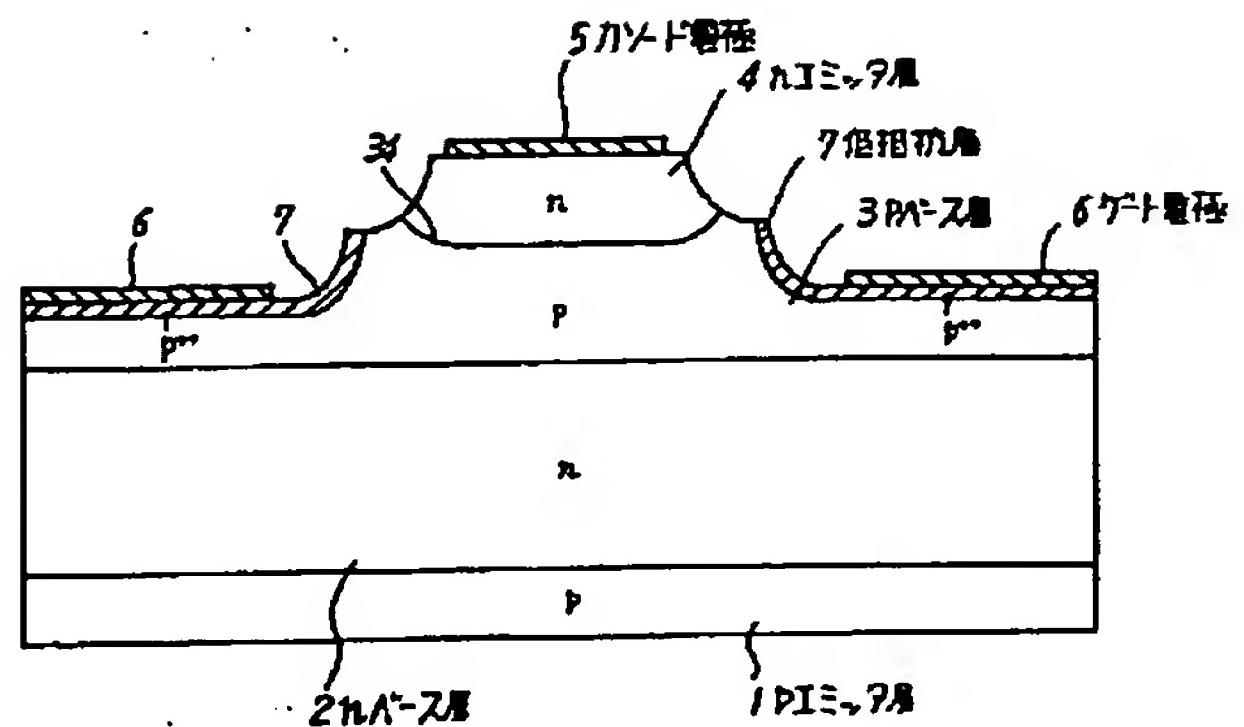
4. 図面の簡単な説明

第1図は本発明の一実施例のGTOサイリスタのセグメントの断面図、第2図は従来のGTOサイリスタのセグメントの断面図、第3図は第1図のGTOサイリスタの製造工程を(a)～(e)の順に示す断面図、第4図は第1図のGTOサイリスタの不純物濃度プロファイルと断面構造との対比図、第

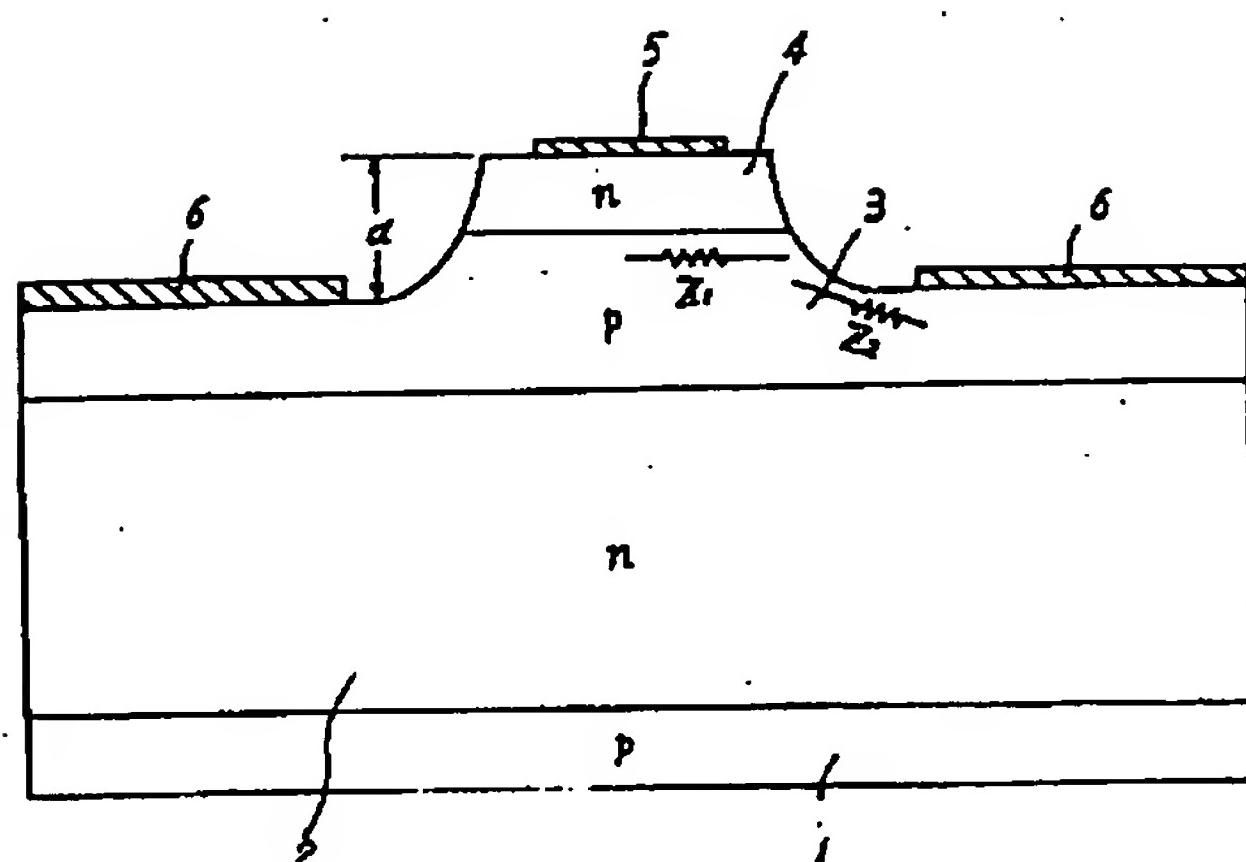
5図は本発明の別の実施例のGTOサイリスタのセグメントの断面図である。

1…pエミッタ層、2…nベース層、3…pベース層、4…nエミッタ層、5…カソード電極、6…ゲート電極、7…p⁺⁺低抵抗層。

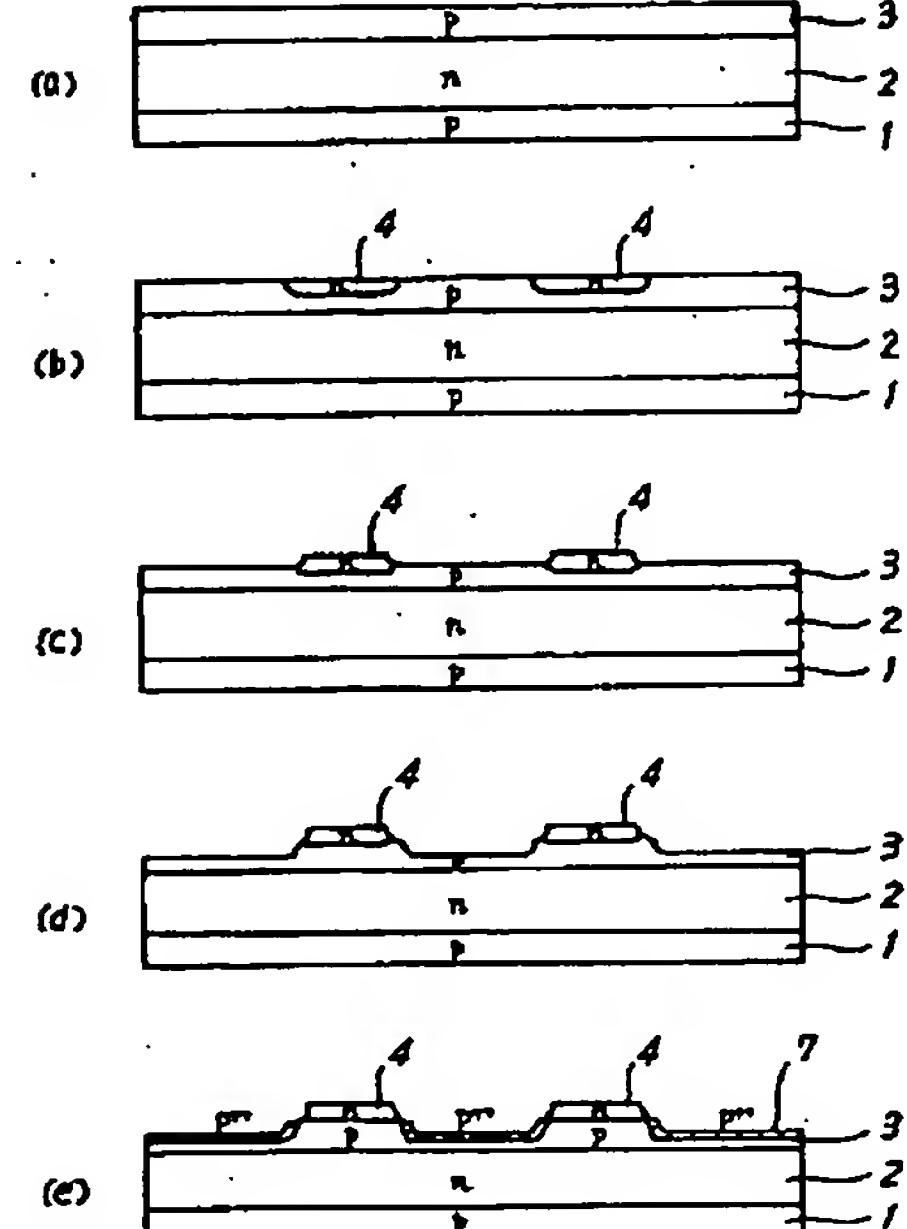
代理人名 山口 勝



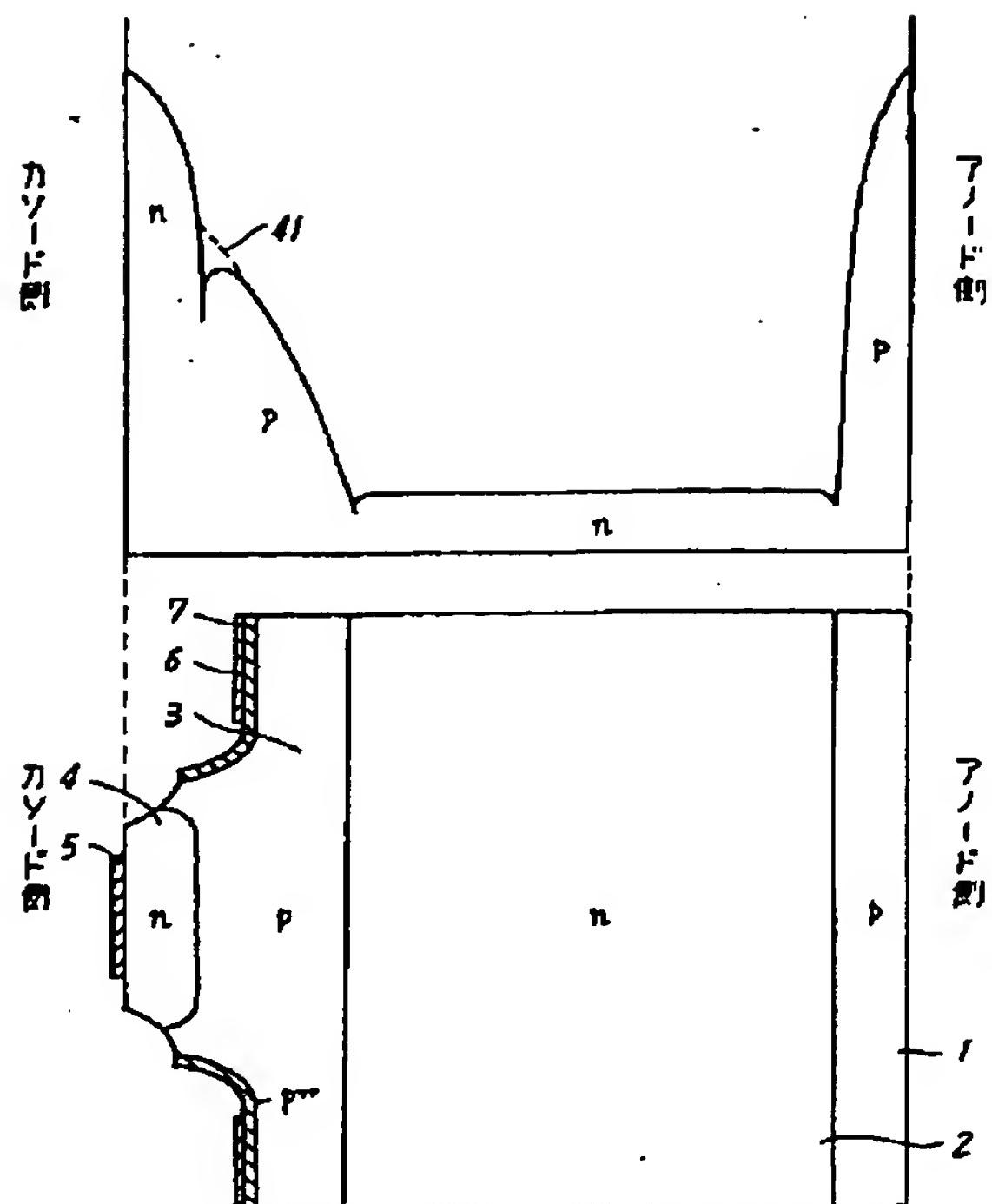
第1図



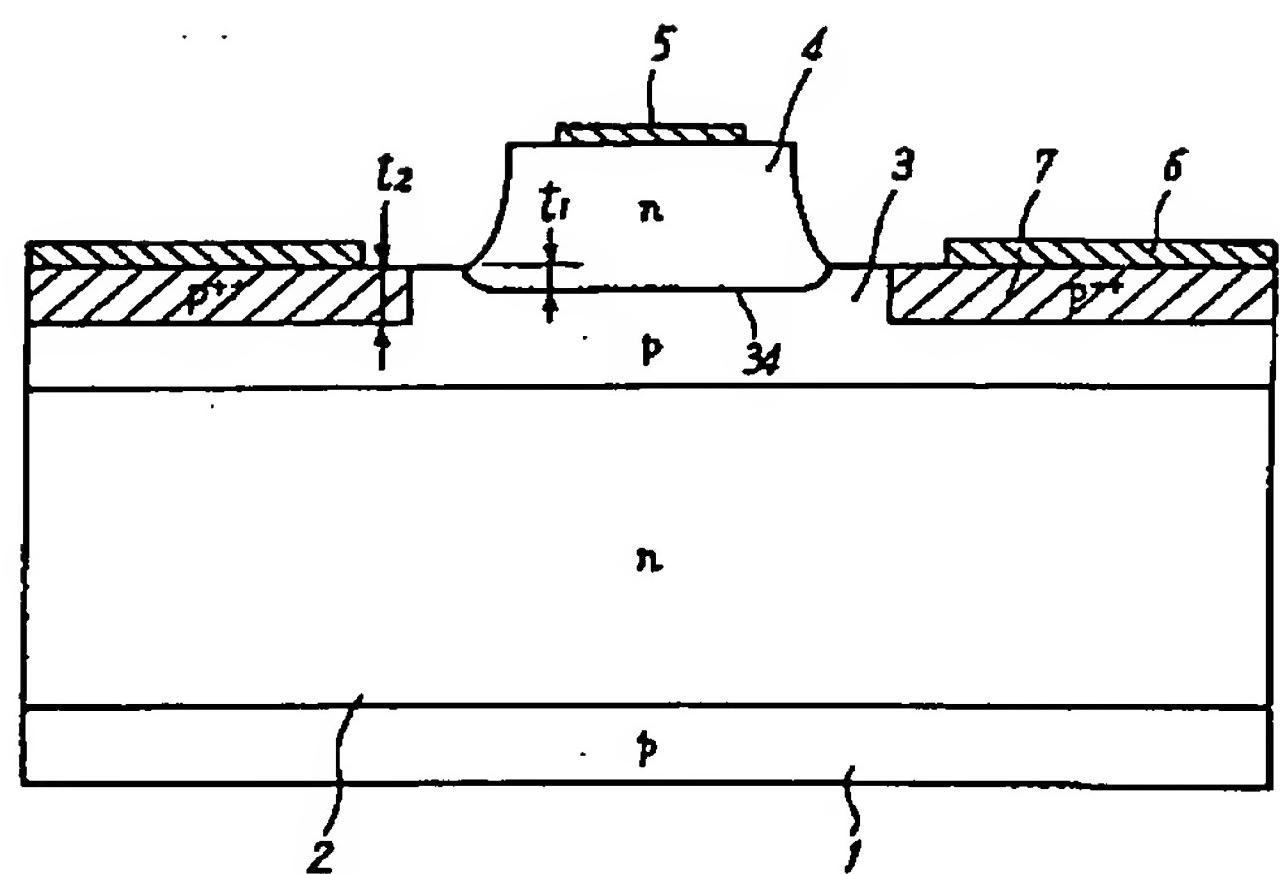
第2図



第3図



第4図



第5図